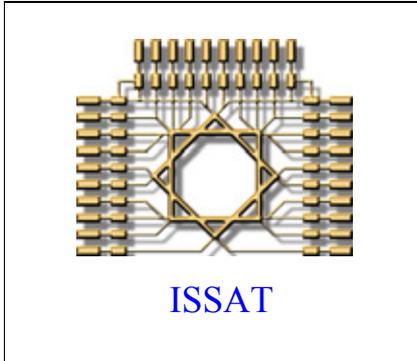


Appel à participation



Appel à Participation

ISSAT - Damas
Syrie

18 au 28 juillet 2009



L'Université d'été 2009 fait suite à dix universités d'été : la première s'est tenue en juillet 1997 à l'Université de Balamand au Liban sur le thème "Contrôle et Instrumentation", la seconde a eu lieu en août 1999 au sein de l'Université Jordanienne des Sciences et Technologie d'Irbid sur le thème "Contrôle et Communication", la troisième a eu lieu en août 2000 à l'Institut de Sciences Appliquées et de Technologie à Damas – Syrie sur le thème "Systèmes de Télécommunications", la quatrième s'est tenue en Août 2001 à l'IUT de Saïda au Liban sur le thème "Education & Technologique: DSP, FPGA et AC DRIVES", la cinquième a eu lieu en Août 2002 au sein de l'Université Jordanienne des Sciences et Technologie d'Irbid sur le thème "HYPERFREQUENCES & INSTRUMENTATION", la sixième a eu lieu en Juillet 2003 à l'Université de Balamand sur le thème "Robotique et Temps réel", la septième a eu lieu en Août 2004 à l'Université TISHRINE de LATAKIE sur le thème "EMC – PLC & IT", la huitième a eu lieu à l'université libanaise à Beyrouth en août 2005, la neuvième a eu lieu en août 2007 à l'université Jordanienne des sciences et Technologie (Irbid-Jordanie) et la dixième a eu lieu à l'Université de Balamand(Liban) sur le thème "FPGA & Télécommunication".

Cette série d'écoles d'été s'adresse aux institutions des pays du Moyen Orient qui ont introduit ou qui souhaitent développer des cursus destinés à la formation de techniciens supérieurs dans les domaines technologiques exploitables par l'industrie locale. Dans le but de favoriser le transfert du savoir technologique, trois objectifs concrets sont visés :

1. Aider à la constitution d'une culture technologique commune entre les institutions participantes.
2. Consolider et étendre la coopération et les relations bilatérales entre ces établissements.
3. Présenter les expériences pédagogiques développées dans le domaine de l'enseignement universitaire technologique dans les pays industrialisés et notamment la France.

Le public concerné par ce projet est le corps enseignant (y compris les ingénieurs responsables des travaux pratiques) dans les facultés des sciences, les écoles d'ingénieurs ainsi que dans les instituts universitaires de technologie. La priorité sera donnée aux enseignants directement concernés par les trois thèmes présentés ci-dessous.

Le sujet retenu pour cette université d'été 2009 "DSP, Robotic & Wireless" regroupe 3 thèmes qui se dérouleront en parallèle. Ces thèmes ont été choisis pour leurs liens avec la plupart des disciplines technologiques directement exploitables

par les industries locales dans les domaines de Télécommunications, Réseaux informatiques, Génie Électrique, Automatisme, etc.

Chaque session est organisée en 35 heures de cours et d'applications pratiques.

Un séminaire sur « **DE L'ÉVALUATION À LA QUALITÉ** » sera animé par Dr Georges MICHAILESCO Professeur à l'IUT de Cachan sur deux demi journées pour l'ensemble des participants.

<p><i>Universités Concernées</i></p> <p><u>Au Moyen Orient</u></p> <p>Les facultés de sciences et les écoles d'ingénieurs comportant un département de génie électrique, ainsi que les instituts équivalents aux IUTs en France.</p> <p><u>En France</u></p> <ul style="list-style-type: none">• Université de Paris XI - IUT de Cachan• Conservatoire National des Arts et Métiers (CNAM, Paris)• École Supérieure d'Ingénieurs en Electrotechnique et Electronique (ESIEE, Noisy-le-Grand) <p>Date: Du 18 AU 28 juillet 2009</p> <p>Langues: Anglais et Français.</p> <p>Lieu: ISSAT – Damas Syrie</p>	<p><i>Comité d'Organisation</i></p> <p>Responsable du projet : Elias Khalil</p> <p>Jordanie : Mohammad Ibbini</p> <p>Irak: Faiz alawy</p> <p>Liban: Antoine Abché, Clovis Francis, Chawki Diab</p> <p>Palestine: Daoud Zaatari</p> <p>Syrie: Jabr Al Romhain, Khaled Yazbek, Georges Ibrahim</p> <p>France: Elias Khalil, Georges Michailesco, Souhil Megherbi, Jean Deprez, Fouad Badran, Bernard Latorre</p>
--	--

Pour s'inscrire, veuillez contacter:

JORDANIE :

Mohammad IBBINI, Université Jordanienne des Sciences & Technologie,
Département Génie électrique, Irbid,
Tél: 079/597908, Email: mohib@huson.edu.jo

Irak:

Faiz Alawy: Informatics Institute for Postgraduate Studies - Iraqi Commission for Computers and Informatics.

Phone : 008821667750241 Thuraya: **E-mail:** Faiz_alawy@yahoo.com

LIBAN:

Antoine Abché, université de Balamand

Tél: 03 406926, Email: abche@balamand.edu.lb

PALESTINE:

Daoud ZAATARI, Institut Polytechnique d'Hébron,

Tél: 02 2224978, Email: zatarid@ppi.edu

SYRIE:

Khaled Yazbek, ISSAT de Damas

Tel:00 963 11.5140520, Email : kyazbek@yahoo.com

LISTE DES UNIVERSITES PARTENAIRES DU PROJET

France:

- Institut Universitaire de Technologie de Cachan (Université de Paris XI).
- CNAM (Conservatoire National des Arts et Métiers),
- Ecole Supérieure des Ingénieurs en Electrotechnique et Electronique (ESIEE – Noisy le Grand).

Syrie:

- Université de Damas,
- Institut Supérieur des Sciences Appliquées et de Technologie - Damas, Université de Tichreen – Lattaquié,
- Université d'Al Baath – Homs,
- Université d'Alep.

Jordanie:

- Université Jordanienne des Sciences et Technologie (JUST) – Irbid,
- Université Yarmouk – Irbid,
- Université de Balqaa – Amman,
- Université Jordanienne – Amman,
- Université de Philadelphia – Jerash,
- Université Ahlia – Amman

- Université Al Israa - Amman.

Liban:

- Université Libanaise
 - Facultés des Sciences,
 - Facultés de Génie
 - Institut Universitaire de Technologie de Saida
 - Institut des Sciences Appliquées et Economiques (ISAE)
- Université de Balamand
- Notre Dame University
- Université Arabe de Beyrouth
- Institut Pédagogique National de l'Enseignement Technique (IPNET)

Palestine:

- Université AL-Quds,
- Université BirZeit,
- Université Palestinienne Polytechnique – Hebron,
- Institut Palestinien de Deir Al Balah,
- Université Islamique – Gaza
- Ecole Normale Technique – Gaza
- Université An-Najah – Naplouse
- Institut technologique – Arroub

Irak :

- Iraqi informatics institute
- Université Technologique de Bagdad

DESCRIPTIONS ET CONTENUS DES THEMES

I - Advances in Wireless and terrestrial access technologies

III – Programmable System On Chip:
Application aux systèmes asservis

III – Microprocesseurs à haute densité de calcul dédiés au traitement numériques de l'information : DSP (Digital Signal Processing)

IV- Séminaire : DE L'ÉVALUATION À LA QUALITÉ

Thème I

Advances in Wireless and terrestrial access technologies

Intervenants :

Prof. Hossam AFIFI, TELECOM & Management SudParis (ex INT)

Prof. Eric GANGLOFF, TELECOM & Management SudParis (ex INT)

The aim of this course is to provide the trainees the state of the art in network access technologies for both fixed and wireless access in a first step. Then we explain how the research is lead in these topics to provide further enhanced services.

The wireless domain is covered by prof. Hossam Afifi and addresses WPAN, WLAN and WMAN systems. In particular we focus on known systems such as Bluetooth, Zigbee, Wifi and Wimax standards. The different layers will be explained in detail and examples will be given to show practical implementation of such technologies.

The course will provide:

- Network architecture overview
- Wireless network classifications, actors and use cases
- Wifi architecture
 - Physical layers
 - MAC layer
- Wimax architecture
 - Physical layers
 - MAC layer
- Bluetooth and Zigbee

Evolution & research topics in wireless networks

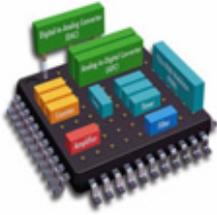
- Mesh concept and protocols
- MIMO, cooperative and cognitive principles
- Evolutions of Wifi technologies

The second part is concentrated on wired access technologies

Professor Eric Gangloff will present the different xDSL architectures and protocols.

- Optical architectures for the FTTH and FTTC solutions will be detailed
- Evolution of the optical network for radio over fiber
- Research topics around access networks
- Use cases in domestic applications

Thème II



Programmable System On Chip
Application aux systèmes asservis

Audience : Enseignant en Informatique Industriel et Automatique

Durée: 7 sessions de 6 Heures (à préciser)

Date: 18 – 28 juillet 2009

Place: ISSAT de Damas

Objectif:

- Présentation des nouvelles générations de microcontrôleurs intégrant des fonctions analogiques avancées.
 - Mise en œuvre dans le cadre de travaux pratiques relatifs aux systèmes asservis échantillonnés.
-

Séance 1 Introduction

Présentation des spécificités de la structure d'un PSoC
Présentation de l'environnement de développement
Installation des logiciels

Workshop :

Mise en œuvre d'un afficheur

Mise en œuvre d'une UART

Configuration d'un bloc analogique et routage d'un bloc analogique (CNA)

Séance 2 Mise en œuvre des fonctions de base d'un système de correction

Structure d'un système de correction numérique

Workshop :

Mise en œuvre d'un convertisseur analogique numérique

Mise en œuvre d'un convertisseur numérique analogique

Mise en œuvre d'une interruption timer

Réalisation d'un algorithme de correction proportionnelle

Séance 3 Application à l'asservissement de tension d'un amplificateur à découpage

Asservissement numérique d'un système du premier ordre

Modélisation d'un système échantillonné par un retard statistique

Workshop :

Réalisation de l'asservissement de tension avec correction proportionnelle

Evaluation des performances statiques et dynamiques

Etude de l'influence de la période d'échantillonnage sur les performances

Séance 4 et 5 Mise en œuvre des fonctions analogiques des PSOCs, asservissement numérique d'un système d'ordre supérieur à 1

Mise en œuvre des filtres à capacités commutés des PSOC

Asservissement d'un système du deuxième ordre,

Ecriture récurrente d'un correcteur PI

Problématique de codage (virgule fixe, virgule flottante)

Workshop :

Implémentation d'un filtre dans la chaîne de retour

Réalisation de l'asservissement de tension avec correction proportionnelle et intégrale.

Evaluation des performances statiques et dynamiques

Mise en œuvre d'une liaison RS232 pour la modification des paramètres de l'asservissement.

Séance 6 et 7 Synthèse d'un correcteur numérique, transformation en z

Transformé en z

Synthèse d'un correcteur numérique

Mise en place d'un algorithme d'anti windup

Workshop :

Optimisation des performances de l'asservissement.

Pré requis:

- Structure des microcontrôleurs 8 bits 'classiques'
 - Langage C
-

Intervenants:

- Jean-Yves LECHENADEC : Docteur en génie électrique, professeur agrégé, enseignant l'intégration des systèmes de puissance et l'automatique à l'IUT de Cachan et à l'IFIPS (Institut de Formation d'Ingénieur de Parsi Sud).
- Claude DELPHA : Docteur en traitement du signal, Maître de conférence, enseignant l'automatique à l'IUT de Cachan et à l'IFIPS (Institut de Formation d'Ingénieur de Parsi Sud).
- Denis PENARD : Professeur agrégé, Enseignant à l'IUT de Cachan et à l'IFIPS.

Thème III

Microprocesseurs à haute capacité de calcul dédiés au traitement numérique de l'information : DSP « Digital Signal Processors »

Intervenants : Mehdi Ammar (MCF UPS 11), Souhil Megherbi (Directeur IUT de Cachan)

Période : École d'été (juillet 2009)

Durée : 35 heures (5h/jour)

Organisation : 5 heures de cours et 30 heures de Travaux Pratiques

Matériels requis pour 24 participants : 6 modules DSP TMS320C6713 avec leurs connectiques (Départ. GEii1), 6 postes (PC) à fournir sur place.

Descriptif :

Ce cours introduit les processeurs à forte capacité de calcul (DSP) d'une part, en décrivant les structures spécifiques et les outils de mise en œuvre de ces composants. D'autre part, on présente les plateformes matérielles nécessaires aux DSP, au niveau de leur architecture interne et des choix logiciel-matériel au moment de la conception.

Programme détaillé :

Cours

I. Rappels sur la représentation numérique du signal (remise à niveau si nécessaire)

- 1- Echantillonnage, transformée en Z, quantification...
- 2- Codage des entiers, codage des réels en virgule fixe, opérations arithmétiques virgule fixe, codage des réels en virgule flottante...
- 3- Mise en œuvre de filtres numériques RIF, RII
- 4- Transformée de Fourier simple ou Rapide (FFT), algorithme de Cooley-Tukey

II. Processeurs pour le traitement numérique de l'information

- 5- Généralités sur les processeurs de Traitement Numérique du Signal (TNS)
- 6- Opérations classiques en TNS (filtrage, analyse spectrale (FFT), compression d'images ...)
- 7- Applications des processeurs DSP
- 8- Développement des DSP : concepts de base, marché, familles
- 9- Traitement numérique / analogique de l'information
- 10- Plateformes matérielles pour le traitement numérique du signal (FPGA, ASSP, ASIC....) : mesures de performances et compromis.
- 11- Généralités sur les architectures d'un DSP (Von Neuman, Harvard) et techniques d'accès à la mémoire
- 12- Architecture interne du processeur d'un DSP (Noyaux temps réel, échanges, adressages, MAC – Adressage circulaire, gestion des interruptions...)
- 13- Le séquenceur : segmentation de l'instruction en étage « Pipelining »
- 14- Résumé sur les caractéristiques des DSP (câblage, entrées/sorties...).

III. Historique et évolutions récentes des DSP

- 15- Développement pour la plateforme DSP Texas Instruments (famille TMS320Cxxx)

Travaux dirigés Applications sur la Transformée de Fourier Discrète (TFD - FFT)

Travaux Pratiques

16- Présentation du module *DSP TMS320C6713*

17- Prise en main de l'interface C du module « **Code composer** » et/ou de **SIMULINK**[®] sous *Matlab*.

Implantations sur module *DSP TMS320C6713*

Synthèse d'un sinus, réalisation d'un GBF, génération d'un écho, implémentation d'une *TFD*

- Implémentation de filtres numériques (*RIF, RII*).

Pré-requis : Connaissances minimales des systèmes microprocesseurs, notions de base en traitement numérique de l'information.

Une plateforme de développement rapide pour DSP563xx

Application à l'Enseignement des Transmissions Numériques

Jean-Marie ORY

ESSTIN, Université Henri Poincaré, Nancy France
jean-marie.ory@esstin.uhp-nancy.fr

I La plateforme DSP563xx

1 Introduction :

Le traitement du signal en temps réel : contraintes et solutions

2 La famille de processeurs DSP563xx de Freescale

- 2.1 Architecture interne
- 2.2 Modèle de programmation
- 2.3 Arithmétique fractionnaire à virgule fixe
- 2.4 Exemples de programmes simples

3 La genèse d'une plateforme de développement rapide pour DSP563xx

- 3.1 Cible matérielle : la carte Mu.Psi
- 3.2 Comparaison de performances Compilateur C-ANSI vs Assembleur natif
- 3.3 La programmation par blocs fonctionnels définis par l'utilisateur
- 3.4 Le compilateur FIBULA (Functional Interconnected Blocks User LANGUAGE)
- 3.5 L'environnement de développement graphique intégré Fibula-G
- 3.6 Objets graphiques : blocs, données, matrices, connexions et textes
- 3.7 Conception en hiérarchie montante ou descendante
- 3.8 Propriétés d'un système à exécution isochrone

II Temps et Fréquences dans un Système DSP Echantillonné

1 Introduction

2 Mesure ou analyse de la fréquence

3 Système échantillonné à temps déterministe

4 Temps / Fréquence absolu ou relatif

5 Temporisation logicielle : linéaire en temps / linéaire en fréquence

6 L'addition cyclique fractionnaire : addition de fréquences et de phases

7 Signaux complexes échantillonnés : oscillateur ; passe-bande; fréquence instantanée

8 Applications:

Application 1 Mesure de vibrations angulaires d'une turbine

Application 2 Transcodage SELCAL-DTMF

Application 3 Détection des aquifères par RMN en champ terrestre

Démonstrations.

III Enseignement des Transmissions Numériques avec démonstrations Temps Réel

1 Introduction. Système de Transmissions Numériques. Définitions

2 Transmissions en bande de base

- 2.1 Horloge, symboles et Bauds
- 2.2 Techniques de régénération de l'horloge
- 2.3 Codages de ligne
- 2.4 Transmission sur canal à bande limitée
- 2.5 Lutte contre les interférences inter-symboles (ISI) Pulse Shaping
- 2.6 Erreurs dues au bruit gaussien ajouté (AWGN)
- 2.7 Suppression des échos par filtrage autoadaptatif LMS

3 Modulation / Démodulation

- 3.1 Limitations dues à la bande passante du canal
- 3.2 Principe général d'une modulation numérique linéaire
- 3.3 Modulations d'amplitude OOK, ASK; Codage différentiel pour lever l'ambiguïté sur le signe
- 3.4 Modulation de phase PSK. Codage différentiel DPSK
- 3.5 Modulation d'amplitude sur 2 porteuses en quadrature QAM. Egalisation des probabilités
- 3.6 Modulations de fréquence FSK, MSK, GMSK

4 Multiplexage

- 4.1 Principe général
- 4.2 Multiplexage temporel TDM
- 4.3 Multiplexage fréquentiel FDM
- 4.4 Multiplexage par code CDMA

5 Quelques notions sur le Codage de Canal

- 5.1 Code à redondance 3 entrelacé
- 5.2 Code Bloc linéaire Code de Hamming
- 5.3 Codes convolutifs